

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 04-142760

(43)Date of publication of application : 15.05.1992

(51)Int.Cl.

H01L 21/78

(21)Application number : 02-265763

(71)Applicant : NEC CORP

(22)Date of filing : 03.10.1990

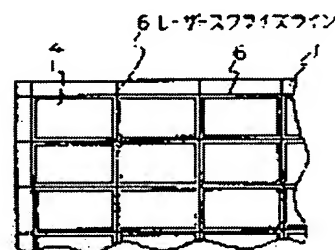
(72)Inventor : MASUMOTO YOSHITAKA

(54) MANUFACTURE OF HYBRID INTEGRATED CIRCUIT

(57)Abstract:

PURPOSE: To prevent the cutting particles of a substrate which scatter in a laser scribe process from attaching to the substrate or doing damage to a film circuit, component by a method wherein a protective film is previously formed on the part of the substrate which is not irradiated with a laser beam, and then the laser beam is made to irradiate the substrate.

CONSTITUTION: A photoresist film 4 is formed covering a film circuit composed of a thin film resistor 2, a thin film capacitor, a thin film conductor, and a thin film electrode 3 formed on a substrate 1. A laser scribe line 6 which is irradiated with a laser beam is not covered with the photoresist film 4. By this setup, When a groove is provided to the laser scribe line 6 by irradiating it with a laser beam, the induced cutting particles of the substrate are prevented from scattering to attach or do damage to a film circuit.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's

BEST AVAILABLE COPY

- "decision of rejection]
[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A)

平4-142760

⑤ Int. Cl.⁵

識別記号

庁内整理番号

③ 公開 平成4年(1992)5月15日

H 01 L 21/78

B

6940-4M

審査請求 未請求 請求項の数 1 (全3頁)

④ 発明の名称 混成集積回路の製造方法

② 特 願 平2-265763

② 出 願 平2(1990)10月3日

⑦ 発 明 者 梶 元 義 孝

東京都港区芝5丁目7番1号 日本電気株式会社内

⑦ 出 願 人 日本電気株式会社

東京都港区芝5丁目7番1号

④ 代 理 人 弁理士 内 原 晋

明 細 書

発明の名称

混成集積回路の製造方法

特許請求の範囲

主面上に膜回路部品が形成された基板にレーザービームを照射して基板を分割するための溝入れを行うレーザースクライブ加工工程を含む混成集積回路の製造方法において、

前記レーザースクライブ加工工程では、前記基板上の、レーザービームが照射される部分を除く部分に予め保護膜を形成した後レーザービームを照射することを特徴とする混成集積回路の製造方法。

発明の詳細な説明

(産業上の利用分野)

本発明は、混成集積回路の製造方法に関し、特に、基板を分割するためのレーザースクライブ加

工工程に関する。

[従来の技術]

一般に、混成集積回路は、アルミナなどのセラミック基板(以後基板と記す)上に、薄膜抵抗体、薄膜容量体、薄膜導体および薄膜電極体などの薄膜受動部品を含む膜回路を形成した後、これにトランジスタや集積回路などの能動部品を取り付けて製造する。

この場合、前述の膜回路を形成する工程では、生産効率を高めるため、一枚の基板上に多数の同一の膜回路を形成する。

そしてその後、上記の膜回路が形成された基板を個々の個片に分割する。

この場合、基板を割り易くして、基板を分割する時に寸法精度よくしかも基板や膜回路に損傷を与えずに分割できるようにするために、基板の分割位置に予めレーザービームを照射して溝入れを行なっておく。

従来、上記の溝入れは、第3図に示すように、基板1上に形成された薄膜抵抗体2や薄膜容量体

や薄膜電極体3の表面が、膜回路を形成する時の最終のフォトリソ膜4で部分的に覆われ保護された状態で、レーザービームを照射し、基板を一部溶融して溝5を形成することによって行なわれている。

なお、第3図においては、説明の簡単のために、膜回路を構成する薄膜受動部品の内、薄膜抵抗体2及び薄膜電極体だけを示してある。

〔発明が解決しようとする課題〕

上述した混成集積回路のレーザースクライブ加工工程において、従来の製造方法では、基板1上の膜回路の保護状態が不完全であるので、レーザー加工時に発生する熱によって溶けたセラミックの切削くずの粒子が周辺に飛散し、膜回路を形成する薄膜抵抗体2や薄膜電極体3の、一部保護されていない部分へ付着したり、或は、これらを破壊したりするという問題があった。

〔課題を解決するための手段〕

本発明の混成集積回路の製造方法は、主面上に膜回路部品が形成された基板にレーザービームを

照射して、基板を分割するための溝入れを行うレーザースクライブ加工工程を含む混成集積回路の製造方法において、

前記レーザースクライブ加工工程では、前記基板上の、レーザービームを照射する部分を除く部分に予じめ保護膜を形成した後レーザービームを照射することを特徴とする。

〔実施例〕

次に、本発明の好適な実施例について、図面を参照して説明する。

第1図は、本発明の実施例におけるレーザービーム照射前の膜の構成を示す断面図であり、第2図は、その平面図である。

本実施例では、第1図に示すように、基板1上に形成された薄膜抵抗体2、薄膜容量体、薄膜導体および薄膜電極体3からなる膜回路の上を、更にフォトリソ膜4で覆っている。

但し、レーザービームが照射されるレーザースクライブライン6の上はフォトリソ膜で覆われていない。

このようにすれば、レーザービームを照射してレーザースクライブライン6に溝入れを行なう際に、発生する基板の切削くず粒子が飛散して、膜回路に付着したり或いはこれを破壊することを防ぐことができる。

なお、上述の実施例においては、薄膜抵抗体2、薄膜容量体、薄膜導体および薄膜電極体3からなる膜回路を保護するための保護膜を形成する方法として、光露光技術を用いたが、本発明がこれに限られるものでないことは明らかである。

保護膜の寸法精度は、数100ミクロンオーダーのものであるので、スクリーン印刷などの方法でも十分保護膜を形成することができる。

なおまた、上述の実施例では、膜回路として薄膜回路を用いたが、スクリーン印刷による厚膜回路にも適用できることも明らかである。

〔発明の効果〕

以上説明したように、本発明によれば、基板上の膜回路部品を保護膜で保護することにより、レーザースクライブ加工時に飛散する基板の切削

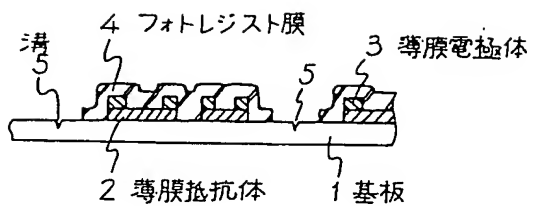
くず粒子が基板に付着したり、或は、膜回路部品を破壊したりすることを防止することができる。

図面の簡単な説明

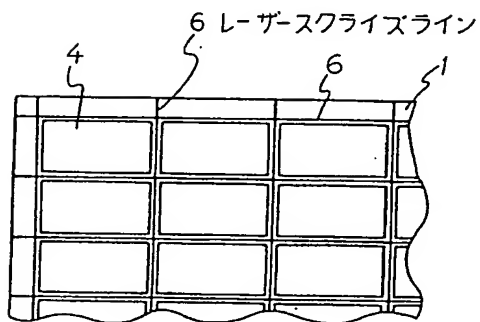
第1図は、本発明の実施例のレーザービーム照射前の膜構成を示す断面図、第2図は、第1図の平面図、第3図は、従来の製造方法におけるレーザービーム照射前の膜構成を示す断面図である。

1…基板、2…薄膜抵抗体、3…薄膜電極体、4…フォトリソ膜、5…溝、6…レーザースクライブライン。

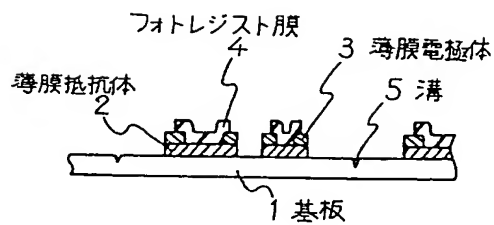
代理人 弁理士 内 原 晋



第 1 図



第 2 図



第 3 図